

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-162820

(43)Date of publication of application : 18.06.1999

(51)Int.CI.

H01L 21/027

G03F 7/40

H01L 21/3065

(21)Application number : 09-329275

(71)Applicant : SONY CORP

(22)Date of filing : 28.11.1997

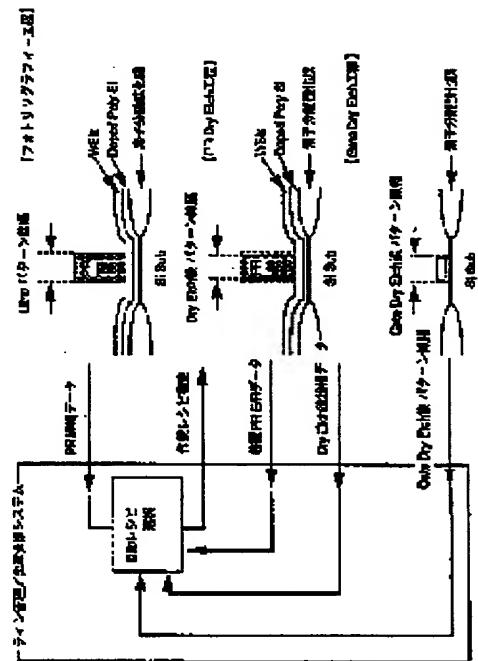
(72)Inventor : KAMIIDE KOYO

(54) SEMICONDUCTOR MANUFACTURING METHOD AND THE MANUFACTURING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor manufacturing method and a manufacturing device which improves machining precision for a semiconductor.

SOLUTION: This manufacturing method forms a resist pattern on a wafer by performing photolithography for the wafer, on which surface an oxide film has been formed, forms a pattern on the oxide film by etching based upon the resist pattern and obtains a target line width which is a line width of the oxide film pattern. In this case photolithography is performed by setting beforehand the a line width of a resist size which should be drawn on the wafer, the line width of the resist pattern formed on the wafer is measured, the line width of a photoresist and a line width of the resist pattern are measured, an etching condition corresponding to the line width of the resist pattern is decided based upon the compared value and etching is made.



LEGAL STATUS

[Date of request for examination]

16.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] By performing a photolithography to the wafer with which the oxide film was formed in the front face In the semi-conductor manufacture approach of forming a resist pattern on a wafer, etching based on the resist pattern, forming a pattern in an oxide film, and obtaining the target line breadth which is the line breadth of the pattern of an oxide film Set up beforehand the line breadth of the photoresist dimension which should draw on a wafer, perform a photolithography, and the line breadth of the resist pattern formed on the wafer is measured. The semi-conductor manufacture approach characterized by etching by comparing the line breadth of a photoresist dimension with the line breadth of a resist pattern, and determining the conditions of etching corresponding to the line breadth of a resist pattern based on the compared value.

[Claim 2] The semi-conductor manufacture approach according to claim 1 of choosing and determining the conditions of etching corresponding to the range in which the line breadth of a resist pattern is classified into two or more range, the conditions of etching are set up for every partition, and the line breadth of a resist pattern corresponds.

[Claim 3] Etching is the semi-conductor manufacture approach according to claim 1 performed using fluorine system gas.

[Claim 4] Etching is the semi-conductor manufacture approach according to claim 1 performed using deposition nature gas.

[Claim 5] Two or more manufacturing installations for performing etching with a photolithography to an object, In the semiconductor fabrication machines and equipment which have the control unit which is connected to each manufacturing installation and is controlling the manufacturing installation, and the storage which is connected to the control unit and memorizes the information on an object Stores are semiconductor fabrication machines and equipment characterized by classifying the line breadth of a resist pattern into two or more range based on the resist pattern formed of the photolithography, and recording the conditions of etching corresponding to the range of each resist pattern.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to amelioration of the semi-conductor manufacture approach and a manufacturing installation, the semi-conductor manufacture approach which raises the process tolerance of a semi-conductor especially, and a manufacturing installation.

[0002]

[Description of the Prior Art] Detailed-ization progresses and, as for the circuit pattern of a semiconductor device, is introduced every year in the process in which the source lithography of short wave Nagamitsu which enables the processing, the dry etching system in which highly precise processing is possible manufacture a semiconductor device. When, realizing the device engine performance currently called for on the other hand, since even dispersion produced in processing with those high performance equipments poses an electrical property top problem, highly precise processing near an equipment limitation is needed.

[0003] In the signal-processing logic LSI to which improvement in the speed of processing speed progresses especially, the effect the gate line breadth of a transistor affects processing speed is large, and needs to manage severely in manufacture of a semiconductor device. However, the actual condition is that the precision for which a semiconductor device is asked as mentioned above has reached the limitation of the engine performance of a manufacturing installation. That is, also when each semiconductor device which should be processed is processed on the optimal, same conditions, dispersion in the dimension of each semiconductor device is generated.

[0004] Conventionally, in the process in which a semiconductor device is manufactured, the dimensional control of the processed semiconductor device is performed as follows. First, before processing [photolithography] to a semiconductor device, the conditions of photolithographies, such as the exposure time of semiconductor fabrication machines and equipment and a focal location, are set up so that the optimal resist pattern may be obtained. At this time, the photoresist dimension (henceforth "PR dimension") which is the pattern of the ideal of the resist pattern which should be drawn on a wafer is also set up beforehand. And a photolithography is given to a wafer on the optimal conditions, and a resist pattern is formed on a wafer.

[0005] Then, the line breadth of the resist pattern formed on the wafer is measured, and it is compared with PR dimension. Supposing PR dimension and the line breadth of a resist pattern have shifted, the conditions of a photolithography will be adjusted and a photolithography will be performed to the following wafer. When it is carried out whenever the activity of this fine tuning processes each semiconductor device, and processing the narrow device of especially the specification range, it is important for it to tune the conditions of a photolithography etc. finely.

[0006]

[Problem(s) to be Solved by the Invention] However, since adjusting conditions serially whenever it processes a wafer reduces productivity remarkably, a certain amount of dispersion must be admitted. Moreover, in order to control this dispersion, the correlation of the processing conditions in a lithography process and the line breadth of a resist pattern is totaled statistically, and some which are introduced into the production line have the system fed back to the processing conditions of a lithography process. However, even if it uses such a semi-conductor manufacturing system, the problem that dispersion will arise is in the line breadth after resist development according to the resolution limit of the resist of the

photolithography equipment currently used, or the limitation of the focus at the time of pattern drawing. [0007] Although replacement of photolithography equipment will be an easiest and positive means if more highly efficient equipment exists at this time, problems, such as increase of mass-production cost and decline in a rate of operation, will arise. Moreover, in manufacture of LSI, the production device has evolved every day, the manufacturing installation introduced newly has also produced the situation where equipment must be updated in several months, and there is a problem in replacing equipment. And a semiconductor manufacturing system which realizes improvement in process tolerance by the device of a processing flow, effective use of a process data, etc. is desired.

[0008] Then, this invention cancels the above-mentioned technical problem, and it aims at offering the semi-conductor manufacture approach and manufacturing installation whose process tolerance of a semiconductor improves.

[0009]

[Means for Solving the Problem] By performing a photolithography to the wafer with which the oxide film was formed in the front face, if the above-mentioned purpose is in this invention In the semi-conductor manufacture approach of forming a resist pattern on a wafer, etching based on the resist pattern, forming a pattern in an oxide film, and obtaining the target line breadth which is the line breadth of the pattern of an oxide film Set up beforehand the line breadth of the photoresist dimension which should draw on a wafer, perform a photolithography, and the line breadth of the resist pattern formed on the wafer is measured. It is attained by etching by comparing the line breadth of a photoresist dimension with the line breadth of a resist pattern, and determining the conditions of etching corresponding to the line breadth of a resist pattern based on the compared value.

[0010] In this invention, the conditions of etching are determined based on the line breadth of a resist pattern, and etching is performed so that the line breadth of a resist pattern may become a photoresist dimension. Thereby, dispersion produced in the dimension of a semiconductor device can be controlled.

[0011] Two or more manufacturing installations for performing etching with a photolithography to an object, if the above-mentioned purpose is in this invention, In the semiconductor fabrication machines and equipment which have the control unit which is connected to each manufacturing installation and is controlling the manufacturing installation, and the storage which is connected to the control unit and memorizes the information on an object The line breadth of a resist pattern is classified into two or more range based on the resist pattern formed of the photolithography, and a store is attained by the semiconductor fabrication machines and equipment by which the conditions of etching corresponding to the range of each resist pattern are recorded.

[0012] In this invention, the conditions of etching are determined based on the line breadth of a resist pattern, and etching is performed so that the line breadth of a resist pattern may become a photoresist dimension. Thereby, dispersion produced in the dimension of a semiconductor device can be controlled.

[0013]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained to a detail based on an accompanying drawing. In addition, since the gestalt of the operation described below is the suitable example of this invention, desirable various limitation is attached technically, but especially the range of this invention is not restricted to these gestalten, as long as there is no publication of the purport which limits this invention in the following explanation.

[0014] The system chart of the gestalt of desirable operation of the semiconductor fabrication machines and equipment of this invention is shown in drawing 1 , and semiconductor fabrication machines and equipment 10 are explained to it in detail with reference to drawing 1 . The semiconductor fabrication machines and equipment 10 of drawing 1 consist of database 13 grade which are the host computer 11 which is a control unit, the production line 12 which consists of two or more manufacturing installations, and a store. It connects with the production line 12 and a host computer 11 directs initiation of processing with a production line 12, the contents of processing, etc. based on the information. Moreover, the information on the product processed from the production line 12 is sent to a host computer 11.

[0015] A production line 12 is for manufacturing a semiconductor device, and equipments, such as photolithography equipment, a dry etching system, and a line breadth measuring device, are located in a line in accordance with the flow of the manufacture process of a semiconductor device. Moreover, the host computer 11 is connected with the database 13, and a database 13 records the information on the product sent from the production line 12, or has memorized the contents which a production line 12 should

process. A database 13 sends the data memorized to a host computer 11 based on the command of a host computer 11.

[0016] The alder data mill 14 is formed between the host computer 11 and the production line 12. The alder data mill 14 inputs the information on the product which an operator processes to a host computer 11, and initiation of manufacture processing and termination are directed. Moreover, the processing quality data based on the measuring device of a production line 12 is also inputted into the alder data mill 14, and a yes-no decision is displayed on it to quality specification. Furthermore, the values in performance of each manufacturing installation equipment of the production line 12 measured periodically are also inputted, and the propriety of an activity is shown.

[0017] In the conceptual diagram of a semi-conductor manufacture process, and drawing 3 , the flow chart Fig. of semi-conductor manufacture is shown, and the manufacture approach of a semi-conductor is explained in detail with reference to drawing 2 and drawing 3 at drawing 2 at them. First, the oxide film for isolation for forming the island for carrying out bonding of the die of the center of a leadframe on a wafer is formed. Next, in order to prevent Well / junction leak, an ion implantation is made, and gate oxide is formed on it.

[0018] next, the gate electrode layer of the processed film which consists for example, of polycide (Wpolycide) film etc. on this wafer -- CVD (Chemical Vapor Deposition) -- it is formed by law. In addition, the information on each wafer that these processes were added is serially sent to a host computer 11, and the data is stored in a database 12.

[0019] Next, a photoresist is applied to a wafer, and a photolithography is performed so that PR dimension may be obtained (ST1). And the line breadth X_p of the resist pattern formed on the wafer is measured by length measurement SEM, and it is directly inputted into a host computer 11 through the alder data mill 14 (ST2).

[0020] A host computer 11 computes the standard resist etching time T_{pt} and the calculation resist etching time T_p for the line breadth X_p of the sent resist pattern using the following formulas (ST3).

[Equation 1]

$$T_{pt}=60x(0.39-0.34)/R_p \dots (1)$$

[Equation 2]

$$T_t=60x(X_p-0.34)/R_p \dots (2)$$

[0021] The formula (1) is finding the standard etching time T_{pt} which is the theoretical value of the etching time at the time of being 0.39nm whose line breadth X_p of a resist pattern is PR dimensions, when setting line breadth (henceforth "target line breadth") of the pattern of the oxide film after etching to 0.34nm. Not setting the line breadth X_p of a resist pattern as 0.39um(s) which are direct target line breadth at a photolithography process is based on the following reasons.

[0022] Originally, as for the line breadth of the resist pattern formed with lithography, it is desirable that it is the same line breadth as target line breadth, for example, 0.34um(s). However, it is very difficult to form the line breadth of 0.34um(s) in i line (exposure light source whose wavelength is 365mm) photolithography. That is, the resolution limit in an i line lithography technique is expressed with the following formulas like other optical lithography.

[Equation 3] $R=k\lambda/NA \dots (3)$

Here, use light source wavelength and NA of the multiplier and lambda related to [related to resolution limit line breadth in R] a resist ingredient in k are use lens solid angles.

[0023] In the case of i line light source, it is $\lambda=365$ (mm), and if the lens of high performance is used, it can be referred to as $NA=0.63$ and a resist ingredient, production dispersion, etc. will generally be taken into consideration, it will be set to $k=0.6$ from a formula (3). Even if it becomes the resolution limit line breadth $R=0.347$ of an i line lithography (mm) at this time and uses the lens of high performance, it is difficult to set line breadth to 0.34um(s). For this reason, in case the line breadth of a resist pattern is formed in 0.39um(s) which are the threshold value of photolithography equipment in a photolithography process and the etching process which is degree process is performed, he is trying to adjust that line breadth.

[0024] From the line breadth X_p of the resist pattern actually formed on the wafer, in case the line breadth X_p of a resist pattern makes it 0.34um(s), a formula (2) finds the calculation etching time T_p which is required etching time, when etching.

[0025] A host computer 11 compares the standard etching time T_{pt} with the calculation resist etching time

T_p. Thereby, PR dimension can be compared with the line breadth X_p of a resist pattern. And the conditions of etching of degree process are determined based on this compared result (ST4).

[0026] The conversion table of the calculation resist etching time T_p and etching conditions is shown in drawing 4 , and PR dimension and the comparison approach of the line breadth X_p of a resist pattern are explained in detail, referring to drawing 4 . In drawing 4 , the calculation resist etching time T_p is classified into two or more fields, for example, eight range, based on the standard resist etching time T_{pt}. The resist etcher recipe corresponding to each field is prepared. The resist etcher recipe is set up so that the line breadth of a resist pattern can be extended, as the line breadth X_p of a resist pattern becomes large.

[0027] It is set to the resist etcher recipe as shown in drawing 5 , for example, so that the conditions of etching, such as a quantity of gas flow, gas pressure, and microwave power, may become the minimum about dispersion in the line breadth X_p of a resist pattern. In order for this to bring close to PR dimension from the line breadth X_p of the resist pattern obtained by the photolithography, the conditions of etching will be set up corresponding to the line breadth X_p of a resist pattern.

[0028] For example, when the line breadth X_p of a resist pattern is 0.39um(s), the calculation resist etching time T_p corresponds to the range of **5 (sec) of the standard resist etching time T_{pt} by the formula (1) and the formula (2). Therefore, "D" of the resist etcher recipe of drawing 4 is chosen, and conditions like drawing 5 are sent to a resist etching system from a host computer 11. Then, etching processing is made based on the condition.

[0029] And a wafer flows to the etching system of the production line 12 of drawing 1 , and etching is made on condition that etching chosen from resist etcher recipes (ST5). Thereby, etching to which the line breadth X_p of a resist pattern turns into target line breadth is performed. After etching processing is completed, the resist line breadth X_p is measured by length measurement SEM (ST6), and a numeric value is inputted into the direct host computer 11 through the alder data mill 14. Then, after processing the WPolycide gate on the bottom of the conditions of drawing 6 by the owner magnetic field microwave plasma etching system and measuring the line breadth of a resist pattern by length measurement SEM, a semiconductor device is sent out to degree process (ST7).

[0030] Since dispersion in the line breadth X_p of the resist pattern formed in each wafer can be amended only by choosing a resist etcher recipe, whenever it processes a wafer, it is not necessary to adjust conditions, such as a photolithography, serially, and a semiconductor device can be manufactured efficiently. Moreover, since the line breadth X_p of a resist pattern is fed back and the line breadth of a resist mask is corrected by dry etching, a controllability can improve and the gap from PR dimension can be pressed down to min. For example, in a lithography process, dispersion in the line breadth of a resist pattern can be pressed down to 0.34um**0.010um and the minimum after 0.39**0.025um and a resist etching process as compared with target line breadth as compared with PR dimension. Furthermore, although the limitations of the line breadth which controls by the i line lithography and is formed were 0.39um(s), formation of the line breadth pattern of 0.34um(s) can realize them with a sufficient precision across a line breadth limitation.

[0031] The gestalt of another operation of this invention is shown in another gestalt drawing 7 thru/or another drawing 12 of operation. The semi-conductor manufacture approach and manufacturing installation of a gestalt of each following operation are the almost same structure as the semi-conductor manufacture approach of the gestalt operation of drawing 1 , and a manufacturing installation. Therefore, about the component in the semi-conductor manufacture approach and manufacturing installation of a gestalt of the following operations, in being the same as the component in the semi-conductor manufacture approach and manufacturing installation of a gestalt of operation of drawing 1 , the same sign is described and it omits the explanation.

[0032] The gestalt of another operation of this invention is shown in gestalt drawing 7 of the 2nd operation. In the gestalt of the 2nd operation, in case a different point from the gestalt of the 1st operation performs resist etching, it is using a fluorine system radical (free radical). With reference to drawing 7 , the semi-conductor manufacture approach is explained in detail.

[0033] First, the ion implantation for an isolation oxide film, and well / junction leak prevention and gate oxide are formed on a wafer. And the WPolycide film which is processed film is formed by the heat CVD method on this, and an oxide film deposits 70nm with an ordinary pressure CVD method on this, for example. And a resist pattern is formed at a photolithography process.

[0034] At this time, the line breadth of the resist pattern formed in a semiconductor device performs a

photolithography so that it may be set to 0.40um(s). 0. It is because it is necessary to make it thicker than the gestalt of the 1st operation in order to use fluorine system gas for having been referred to as 40um and to perform resist dry etching, in case etching mentioned later is performed.

[0035] Next, the line breadth of the pattern formed by the photolithography is measured by length measurement SEM, and the line breadth data X_p is sent to a host computer 11. A host computer 11 computes standard resist etching time T_{pt} and the calculation resist etching time T_p based on the following formulas. Here, the etching rate R_p is for example, 60 nm/min - 70 nm/min.

[Equation 4]

$$T_{pt}=60x(0.40-0.34)/R_p \dots (4)$$

[Equation 5]

$$T_t=60x(X_p-0.34)/R_p \dots (5)$$

[0036] A formula (4) is a formula which calculates the theoretical value of resist etching time required to set target line breadth to 0.34um(s) here, when a photolithography is performed so that the line breadth X_p of a resist pattern may be set to 0.40um(s). On the other hand, the formula (5) is computing the resist etching time which needs the line breadth X_p of an actual resist pattern since it becomes target line breadth.

[0037] A host computer 11 compares the standard resist etching time T_{pt} and the calculation resist etching time T_p which were computed by the formula (4) and the formula (5), respectively. By comparing both resist etching time, dispersion in the line breadth X_p of a resist pattern is computed. In which range a host computer 11 has the calculation resist etching time T_p based on the comparison table of drawing 4 judges, and it sends the resist etcher recipe corresponding to the classified field to an etching system.

[0038] Here, when the line breadth X_p of a resist pattern is 0.40nm, a host computer 11 computes the standard resist etching time T_{pt} and the calculation resist etching time T_p . And as compared with drawing 5, the standard resist etching time T_{pt} is compared with the calculation resist etching time T_p for *****. Consequently, "D" is chosen from resist etcher recipes and etching information is sent to a resist etching system.

[0039] Etching is performed by the resist etching system based on the etching conditions of the selected resist etcher recipe. Here, a radical (free radical) transportation mold etching system is used as a resist etching system. This is because pattern dependence generated with lithography can be amended by using the radical of a fluorine system. The phenomenon of the following [dependence / pattern] in here is said.

[0040] For example, when pattern drawing is performed by the lithography using the resist of a positive type, the line breadth of the pattern generally isolated will become thicker than the line breadth of a dense pattern. This is for the improvement in on the strength [optical] by diffracted-light interference not to occur by the isolated pattern, although it is obtained from reticle opening of the pattern with which the diffracted light adjoins and contrast becomes large by interference by the dense pattern. Therefore, if the line breadth of a dense pattern is set up and lithography is performed, the quantity of light of an isolated pattern will be insufficient, and line breadth will become thick. Conversely, when the resist of a negative mold is used, the line breadth of an isolated pattern will become thinner than a dense pattern.

[0041] When a continuation pattern and an isolated pattern are formed here based on PR dimension with lithography, a continuation pattern is formed by 0.40um(s) and isolated Rhine presupposes that it was formed in 0.42um extent. As for a fluorine system radical, in an etching process, the dirty rate of an isolated pattern becomes higher than the dirty rate of a continuation pattern according to a micro loading effect after that. Therefore, for example, the line breadth of 0.34um(s) and a continuation pattern is formed in 0.35um(s), and the line breadth of the isolated pattern after etching termination can amend the difference of the line breadth both pattern.

[0042] And an oxide-film layer is etched for example, with parallel monotonous narrow gap RIE (Reactive Ion Etching) equipment by using the formed resist pattern as a mask. Then, the line breadth X_p of a resist pattern is measured by the side length SEM, and it inputs into the alder data mill 14. And the WPolycide gate is processed with an owner magnetic field microwave plasma etching system. After this processing is completed, a resist pattern is measured by the side length SEM, and is sent to degree process after inputting into the alder data mill 14.

[0043] By this, the value of the line breadth X_p of the resist pattern in a photolithography is fed back, it becomes processible [the resist mask which amends the line breadth X_p of a resist pattern further], and Gate processing with a more high precision can be performed.

[0044] The flow chart Fig. of semi-conductor manufacture is shown in gestalt drawing 8 of the 3rd operation, and the gestalt of the 3rd operation is explained to it in detail with reference to drawing 8 . First, the WPolyicide film which is processed film is formed in the object with which the island oxide film for isolation and ion grouting of Well / junction leak prevention passed through the Gate oxidation process on the wafer with a heat CVD method. Besides 70nm of oxide films is made to deposit with an ordinary pressure CVD method, a photolithography is performed and a resist pattern is formed in the bottom of the conditions of drawing 9 (ST11).

[0045] The line breadth of the pattern formed at the photolithography process is measured by length measurement SEM (ST12), and the line breadth is inputted into a host computer 11 and the alder data mill 14. A host computer 11 and the alder data mill 14 compute the average X_p of the line breadth, and it judges whether X_p is 0.34 or more (ST13).

[0046] When the line breadth X_p of a resist pattern is 0.34 or more, in a host computer 11 and the alder data mill 14, the standard resist etching time T_{pt} and the calculation resist etching time T_p are computed based on the following formulas from this data (ST14).

[Equation 6]

$$T_{pt}=60x(0.40-0.34)/R_p \dots (6)$$

[Equation 7]

$$T_t=60x(X_p-0.34)/R_p \dots (7)$$

[0047] The standard resist etching time T_{pt} and the calculation resist etching time T_p which were computed are compared based on drawing 9 , and a host computer 11 searches within the limits of [which] the standard resist etching time T_{pt} of drawing 9 T_p is. And etching which is the following process is performed based on the resist etcher recipe of corresponding T_p range (ST15).

[0048] A quantity of gas flow and gas pressure as shown in drawing 10 , microwave power, susceptor temperature, etching time, etc. are beforehand set to the resist etcher recipe. According to the value of the standard resist etching time T_p , one certain resist etcher recipe is chosen from two or more of these resist etcher recipes.

[0049] Next, when the line breadth X_p of a resist pattern is less than 0.34, it is necessary to enlarge line breadth X_p of the resist pattern formed with lithography. At this time, the calculation resist etching time T_d is computed based on the following formulas from this data with a host computer 11 and the alder data mill 14 (ST17).

[Equation 8]

$$T_{pt}=60x(0.40-0.34)/R_p \dots (8)$$

[0050] A host computer 11 searches within the limits of [which] drawing 11 the calculation resist etching time T_d is (ST18). And etching which is the following process is performed based on the resist etcher recipe of the corresponding calculation resist etching time T_d range. A quantity of gas flow as shown in drawing 12 , gas pressure RF power, etching time, etc. are beforehand set up by the resist etcher recipe, and are chosen as it from two or more resist etcher recipes based on the standard resist etching time T_d . for example, when the value of X_p is 0.31nm, "epsilon" of a resist etcher recipe chooses by the formula (8) -- having -- ** -- etching is performed on conditions [like] (ST19).

[0051] then, CHF3 with high DEPOJISSHON nature and CH two F2 etc. -- coating of the resist pattern which deposits a polymer by decomposing a gas and is formed with lithography is performed. It is corrected so that the width of face of the heights of resist pattern ** which is not separated may become small and may turn into line breadth of a predetermined resist pattern by this. And it can etch by the parallel monotonous etching system, and the resist pattern of the separated predetermined line breadth can be obtained. While being able to perform by this the line breadth correction which narrows the line breadth of a resist pattern in a lithography process, the correction which extends the line breadth of a resist pattern can be made.

[0052] According to the gestalt of each above-mentioned implementation, compared with the resist mask formed only at a photolithography process, there are few gaps from line breadth dispersion and target line breadth, and high processing of a line breadth controllability can be realized. moreover, the processing conversion difference data of pattern processing equipments, such as a dry etching system, -- reading -- conversion -- the precision of a processing completion dimension improves by subtracting and adding difference to mask width of face. And pattern dependence of a photolithography can be amended by using radicals, such as a fluorine system halogen, for dry etching. Furthermore, descent of line breadth narrower

than the resolution limit of lithography equipment becomes controllable.

[0053]

[Effect of the Invention] As explained above, according to this invention, the semi-conductor manufacture approach and manufacturing installation whose process tolerance of a semi-conductor improves can be offered.

[Translation done.]

*** NOTICES ***

JPO and NCIPD are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The system chart showing the gestalt of desirable operation of the semiconductor fabrication machines and equipment of this invention.

[Drawing 2] The conceptual diagram showing the gestalt of desirable operation of the semi-conductor manufacture approach of this invention.

[Drawing 3] The flow chart Fig. showing the gestalt of desirable operation of the semi-conductor manufacture approach of this invention.

[Drawing 4] The table showing the line breadth of a resist pattern, and correspondence of a resist etcher recipe.

[Drawing 5] The table showing an example of the etching conditions of a resist etcher recipe.

[Drawing 6] The table showing an example of the etching conditions of a resist etcher recipe.

[Drawing 7] The desirable system chart of the semiconductor fabrication machines and equipment of this invention showing the gestalt of the 2nd operation.

[Drawing 8] The desirable flow chart Fig. of the semi-conductor manufacture approach of this invention showing the gestalt of the 3rd operation.

[Drawing 9] The table showing the line breadth of a resist pattern, and correspondence of a resist etcher recipe.

[Drawing 10] The table showing an example of the etching conditions of a resist etcher recipe.

[Drawing 11] The table showing the line breadth of a resist pattern, and correspondence of a resist etcher recipe.

[Drawing 12] The table showing an example of the etching conditions of a resist etcher recipe.

[Description of Notations]

10 [...] A database, 14 / ... An alder data mill, Xp / ... Line breadth of a resist pattern.] ... Semiconductor fabrication machines and equipment, 11 ... A host computer (control device), 12 ... A production line, 13

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

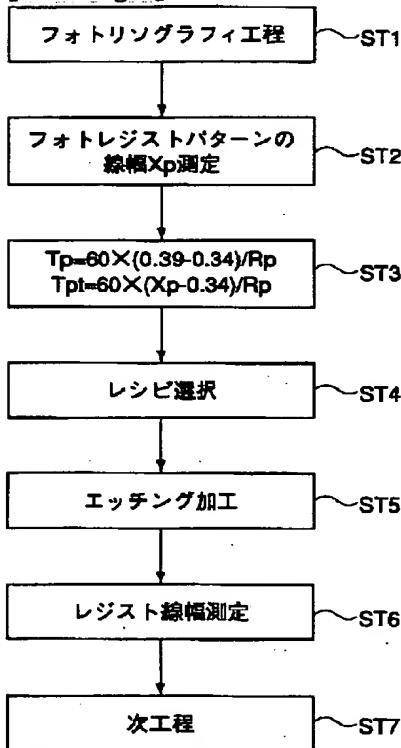
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 3]



[Drawing 4]

Tpレンジ	レジストエッチャーレシピ
(Tp1-30sec)±5sec	A
(Tp1-20sec)±5sec	B
(Tp1-10sec)±5sec	C
Tp1±5sec	D
(Tp1+10sec)±5sec	E
(Tp1+20sec)±5sec	F
(Tp1+30sec)±5sec	G
(Tp1+40sec)±5sec	H

[Drawing 5]

ガス流量 : O₂=350ml/min
 ガス圧力 : 30 Pa
 マイクロ波パワー : 600W
 サセプター温度 : 300°C
 Etching Time : 45sec

[Drawing 6]

ガス流量 : Cl₂ / O₂=75 / 8 sccm
 ガス圧力 : 0.53 Pa
 マイクロ波パワー : 750W
 RF Power : 70W(WSix Etch), 30W (Doped Poly Etch+Over Etch)
 磁場コイル電流 : 25 / 4 A
 サセプター温度 : 50°C
 Etching Time : WSi EPDにて RF Power 切り替え、オーバーエッチ20%

[Drawing 10]

ガス流量 : CF₄ / O₂ = 270 / 270 / 80 sccm
 ガス圧力 : 70 Pa
 マイクロ波パワー : 700W
 サセプター温度 : 15°C
 Etching Time : 60sec

[Drawing 11]

ガス流量 : CH₂F₂ / N₂=230/ 300 sccm
 ガス圧力 : 70 Pa
 マイクロ波パワー : 700W
 サセプター温度 : 15°C
 Etching Time : 40sec

[Drawing 12]

Tdレンジ	レジストエッチャーレシピ
0~5	α
5~10	β
10~15	γ
15~20	δ
20~25	ϵ
25~30	ζ
30~35	η
35~40	θ

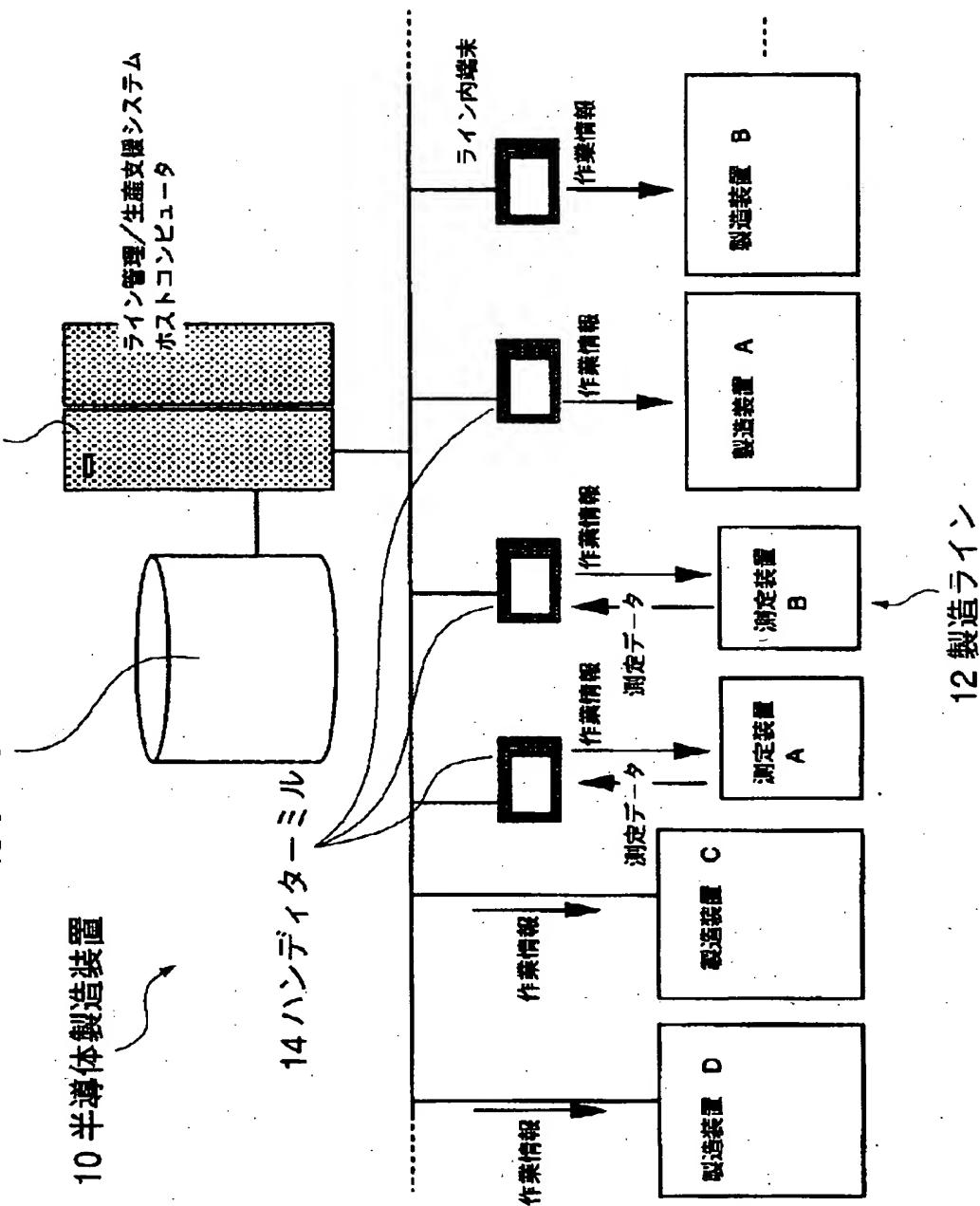
[Drawing 1]

11 ボストコンピュータ

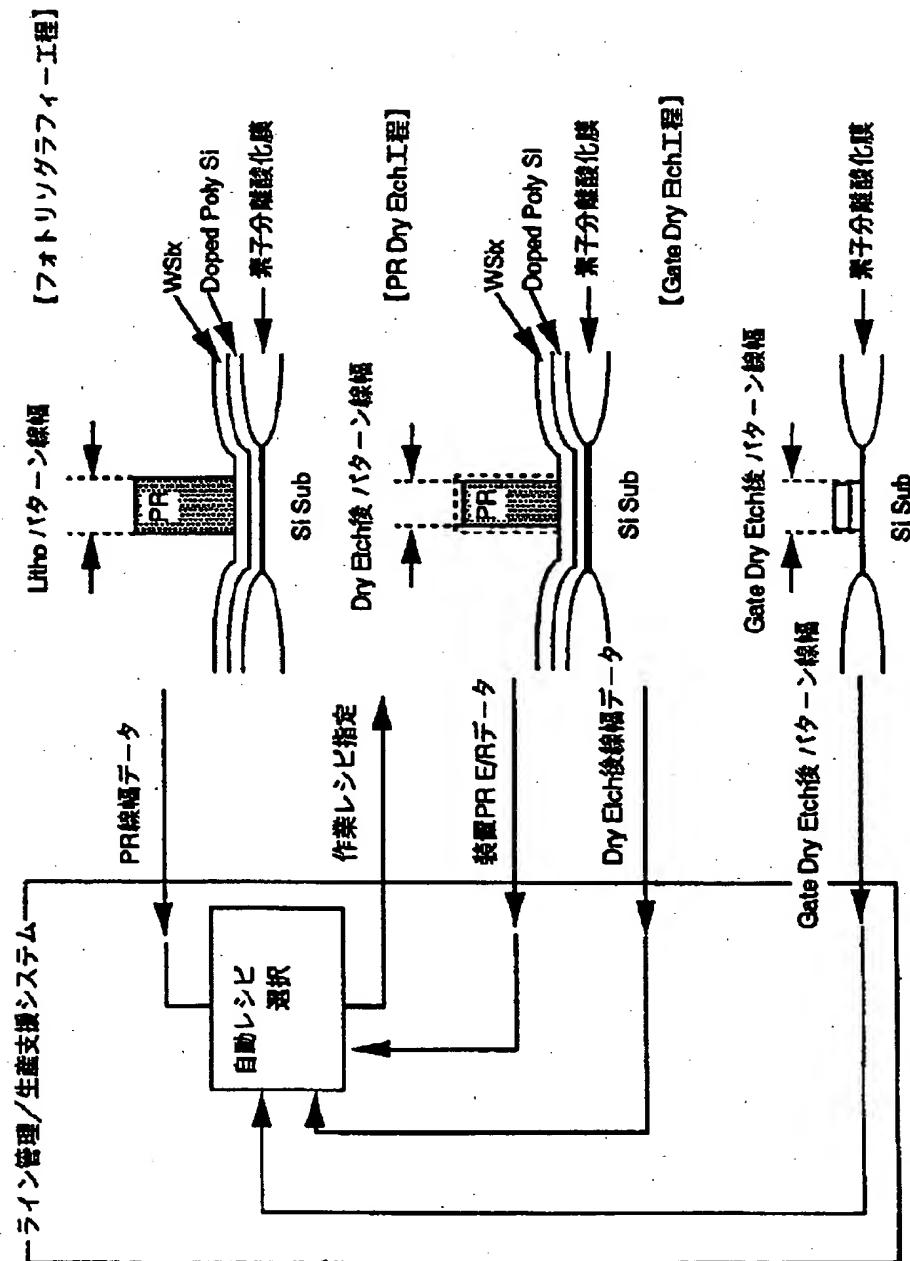
13 データベース

10 半導体製造装置

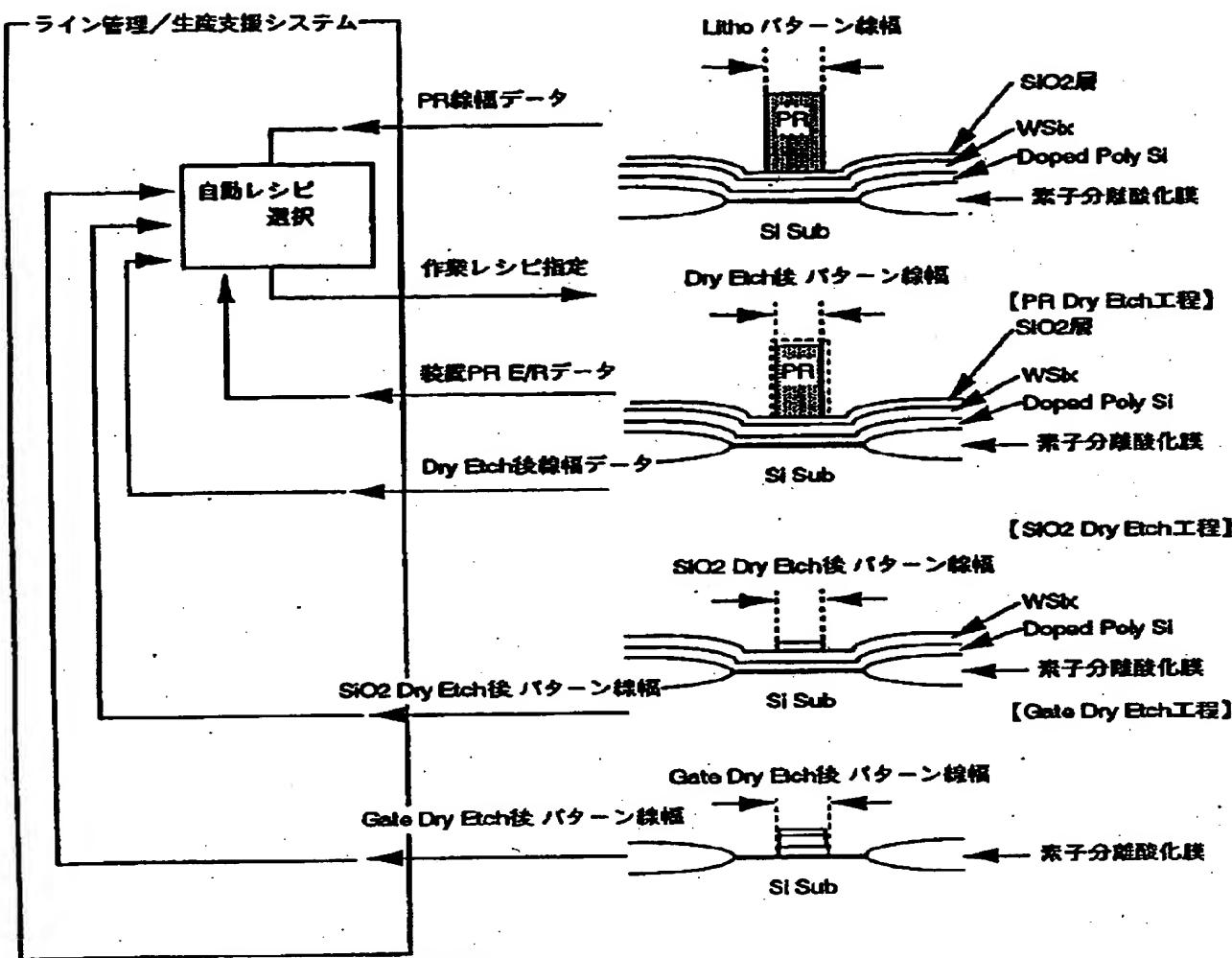
14 ハンディターミナル



[Drawing 2]



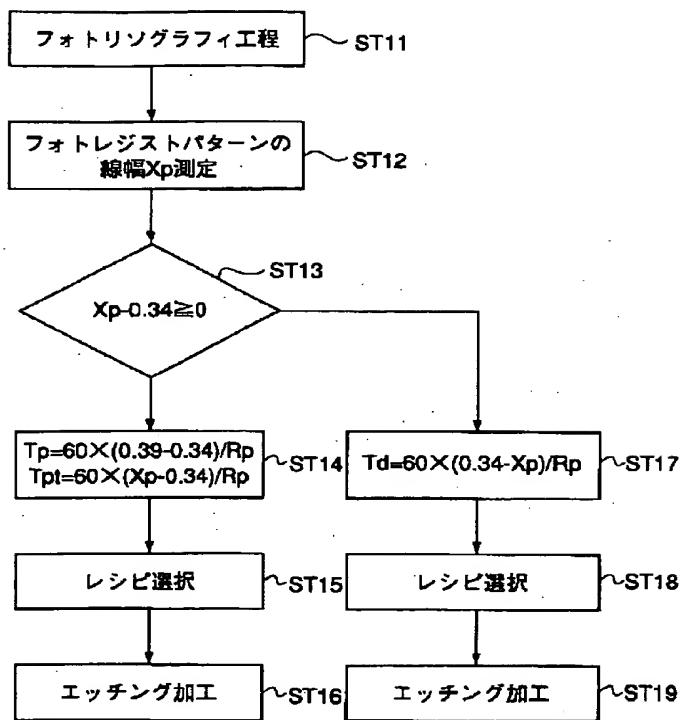
[Drawing 7]



[Drawing 9]

Tpレンジ	レジストエッチャーレシピ
(Tp1-30sec)±5sec	A
(Tp1-20sec)±5sec	B
(Tp1-10sec)±5sec	C
Tp1±5sec	D
(Tp1+10sec)±5sec	E
(Tp1+20sec)±5sec	F
(Tp1+30sec)±5sec	G
(Tp1+40sec)±5sec	H

[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-162820

(43) 公開日 平成11年(1999)6月18日

(51) Int.Cl.
H 01 L 21/027
G 03 F 7/40
H 01 L 21/3065

統別記号
5 2 1

P I
H 01 L 21/30
G 03 F 7/40
H 01 L 21/30
21/302

5 0 2 G
5 2 1
5 1 4 C
5 1 6 Z

審査請求 未請求 請求項の数 5 OL (全 11 頁)

(21) 出願番号

特開平9-329275

(22) 出願日

平成9年(1997)11月28日

(71) 出願人

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

上出 勝洋

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人

弁理士 河内信太郎 (外1名)

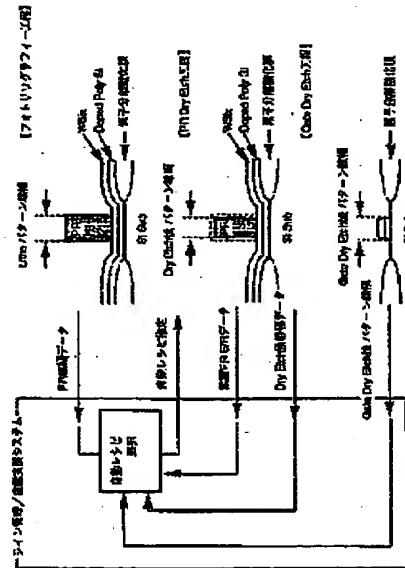
(54) 【発明の名称】 半導体製造方法及び製造装置

(57) 【要約】

【課題】 半導体の加工精度が向上する半導体製造方法

及び製造装置を提供すること。

【解決手段】 表面上に酸化膜が形成されたウェハに対してフォトリソグラフィを行うことにより、ウェハ上にレジストパターンを形成し、そのレジストパターンに基づいてエッティングを施して酸化膜にパターンを形成して、酸化膜のパターンの線幅であるターゲット線幅を得る、半導体製造方法において、ウェハ上に描画すべきフォトレジスト寸法の線幅を予め設定して、フォトリソグラフィを行い、ウェハ上に形成されたレジストパターンの線幅を測定して、フォトレジスト寸法の線幅とレジストパターンの線幅を比較して、その比較した値に基づいてレジストパターンの線幅に対応するエッティングの条件を決定し、エッティングを行う。



(2)

特開平11-162820

2

【特許請求の範囲】

【請求項1】 表面に酸化膜が形成されたウェハに対してフォトリソグラフィを行うことにより、ウェハ上にレジストパターンを形成し、そのレジストパターンに基づいてエッチングを施して酸化膜にパターンを形成して、酸化膜のパターンの線幅であるターゲット線幅を得る、半導体製造方法において。

ウェハ上に描画すべきフォトレジスト寸法の線幅を予め設定して、フォトリソグラフィを行い。

ウェハ上に形成されたレジストパターンの線幅を測定して、フォトレジスト寸法の線幅とレジストパターンの線幅を比較して。

その比較した値に基づいてレジストパターンの線幅に対するエッチングの条件を決定し、エッチングを行うことを特徴とする半導体製造方法。

【請求項2】 レジストパターンの線幅が複数の範囲に区分され、それぞれの区分毎にエッチングの条件が設定されており、レジストパターンの線幅の該当する範囲に対応したエッチングの条件を選択して決定する請求項1に記載の半導体製造方法。

【請求項3】 エッチングは、フッ素系ガスを用いて行われる請求項1に記載の半導体製造方法。

【請求項4】 エッチングは、堆積性ガスを用いて行われる請求項1に記載の半導体製造方法。

【請求項5】 対象物に対してフォトリソグラフィとエッチングを施すための複数の製造装置と、それぞれの製造装置に接続されており製造装置を制御している制御装置と、制御装置に接続されていて対象物の情報を記憶する記憶装置と、を有する半導体製造装置において、記憶装置は、

フォトリソグラフィによって形成されたレジストパターンに基づいてレジストパターンの線幅が複数の範囲に区分され、それぞれのレジストパターンの範囲に対応したエッチングの条件が記録されていることを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体製造方法及び製造装置の改良、特に、半導体の加工精度を向上させる半導体製造方法及び製造装置に関するものである。

【0002】

【従来の技術】 半導体デバイスの回路パターンは年々微細化が進み、その加工を可能とする短波長光源リソグラフィや高精度な加工が可能なドライエッチング装置等が、半導体デバイスを製造する過程において導入されている。一方、求められているデバイス性能を実現する上では、それらの高性能装置での処理で生ずるばらつきでさえ、電気特性上問題となるため、装置限界に近い高精度の加工が必要となる。

【0003】 特に、処理速度の高速化が進む信号処理ロ

ジックLSIにおいて、トランジスタのゲート線幅が処理速度に及ぼす影響が大きく、半導体デバイスの製造において厳しく管理する必要がある。しかし、上述したように半導体デバイスに求められる精度は製造装置の性能の限界に達しているのが実情である。すなわち、処理すべき各半導体デバイスを最適の同一条件で処理した場合にも、各半導体デバイスの寸法のはらつきは発生する。

【0004】 従来、半導体デバイスを製造する過程において、加工された半導体デバイスの寸法管理は、以下のように行われている。まず、半導体デバイスにフォトリソグラフィ等の処理する前に、最適のレジストパターンが得られるように、半導体製造装置の露光時間やフォーカス位置等のフォトリソグラフィの条件が設定される。このとき、ウェハ上に描画されるべきレジストパターンの理想的のパターンであるフォトレジスト寸法（以下「PR寸法」という）も予め設定されている。そして、最適の条件でウェハに対してフォトリソグラフィが施され、ウェハ上にレジストパターンが形成される。

【0005】 その後、ウェハ上に形成されたレジストパターンの線幅が測定され、PR寸法と比較される。もしPR寸法とレジストパターンの線幅がずれていたら、フォトリソグラフィの条件を調整し、次のウェハに対してフォトリソグラフィを行う。この微調整の作業は、各半導体デバイスを処理する毎に行われ、特に規格範囲の狭いデバイスを処理する場合には、フォトリソグラフィの条件等の微調整を行うことが重要となっている。

【0006】

【発明が解決しようとする課題】 しかし、ウェハを処理するごとに条件を逐次調整することは、著しく生産性を低下させるため、ある程度のはらつきは容認せざるを得ない。また、このばらつきを抑制するために、リソグラフィ工程での処理条件とレジストパターンの線幅との相関関係を統計的に算計し、リソグラフィ工程の処理条件にフィードバックするシステムが生産ラインに導入されているものもある。しかし、このような半導体製造システムを用いても、使用しているフォトリソグラフィ装置のレジストの解像限界やバターン描画時のフォーカスの限界により、レジスト現像後の線幅にはばらつきが生じてしまうという問題がある。

【0007】 このとき、より高性能な装置が存在するのであれば、フォトリソグラフィ装置の書き換えが最も安易で確実な手段であるが、量産コストの増大、稼働率の低下等の問題が生じてしまう。また、LSIの製造において、生産デバイスが日々進化しており、新しく導入した製造装置が数ヶ月で装置の更新をしなければならないという事態も生じており、装置の入れ替えをすることには問題がある。そして、処理フローの工夫及びプロセスデータの有効活用等によって加工精度の向上を実現する半導体製造システムが望まれている。

【0008】 そこで本発明は上記課題を解消し、半導体

(3)

特開平11-162820

4

3

の加工精度が向上する半導体製造方法及び製造装置を提供することを目的としている。

【0009】

【課題を解決するための手段】上記目的は、本発明にあっては、表面に酸化膜が形成されたウェハに対してフォトリソグラフィを行うことにより、ウェハ上にレジストパターンを形成し、そのレジストパターンに基づいてエッティングを施して酸化膜にパターンを形成して、酸化膜のパターンの線幅であるターゲット線幅を得る。半導体製造方法において、ウェハ上に描画すべきフォトレジスト寸法の線幅を予め設定して、フォトリソグラフィを行い、ウェハ上に形成されたレジストパターンの線幅を測定して、フォトレジスト寸法の線幅とレジストパターンの線幅を比較して、その比較した値に基づいてレジストパターンの線幅に対応するエッティングの条件を決定し、エッティングを行うことにより、達成される。

【0010】本発明では、レジストパターンの線幅に基づいてエッティングの条件を決定して、レジストパターンの線幅がフォトレジスト寸法になるように、エッティングが施される。これにより、半導体デバイスの寸法に生じるばらつきを抑制することができる。

【0011】上記目的は、本発明にあっては、対象物に對してフォトリソグラフィとエッティングを施すための複数の製造装置と、それぞれの製造装置に接続されており製造装置を制御している制御装置と、制御装置に接続されていて対象物の情報を記憶する記憶装置と、を有する半導体製造装置において、記憶装置は、フォトリソグラフィによって形成されたレジストパターンに基づいてレジストパターンの線幅が複数の範囲に区分され、それぞれのレジストパターンの範囲に対応したエッティングの条件が記録されている半導体製造装置により、達成される。

【0012】本発明では、レジストパターンの線幅に基づいてエッティングの条件を決定して、レジストパターンの線幅がフォトレジスト寸法になるように、エッティングが施される。これにより、半導体デバイスの寸法に生じるばらつきを抑制することができる。

【0013】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい様々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0014】図1には本発明の半導体製造装置の好ましい実施の形態のシステム図を示しており、図1を参照して半導体製造装置10について詳しく説明する。図1の半導体製造装置10は、制御装置であるホストコンピュータ11、複数の製造装置からなる製造ライン12、記憶装置であるデータベース13等からなっている。ホストコンピュータ11は製造ライン12と接続されていて、その情報に基づいて製造ライン12での処理の開始、処理内容等を指示する。また、ホストコンピュータ11には製造ライン12から処理された製品の情報が送られてくる。

【0015】製造ライン12は半導体デバイスを製造するためのものであり、フォトリソグラフィ装置、ドライエッティング装置、幅幅測定装置等の装置が半導体デバイスの製造過程の流れに沿って並んでいる。また、ホストコンピュータ11はデータベース13と接続されており、データベース13は製造ライン12から送られてきた製品の情報を記録したり、あるいは製造ライン12が処理すべき内容を記憶している。データベース13はホストコンピュータ11の指令に基づいて、記憶されているデータをホストコンピュータ11に送る。

【0016】ホストコンピュータ11と製造ライン12の間には、ハンディターミナル14が設けられている。ハンディターミナル14は、作業者がホストコンピュータ11に処理する製品の情報を入力し、製造処理の開始、終了を指示するものである。また、ハンディターミナル14には、製造ライン12の測定装置による加工品質データも入力され、品質規格に対して合否判定が表示される。さらに、定期的に測定される製造ライン12の各製造装置装置の性能値も入力され、作業の可否が示される。

【0017】図2には半導体製造過程の概念図、図3には半導体製造のフローチャート図を示しており、図2と図3を参照して、半導体の製造方法について詳しく説明する。まず、ウェハ上にリードフレーム中央のダイをボンディングするためのアイランドを形成するための、素子分離用酸化膜が形成される。次に、We!!／接合リードを防止するためにイオン注入がなされ、その上にゲート酸化膜が形成される。

【0018】次に、このウェハの上に例えばポリサイド(Polyide)膜等からなる被加工膜のゲート電極膜がCVD(Chemical Vapour Deposition)法で形成される。尚、これらの工程が加えられた各ウェハの情報は逐次ホストコンピュータ11に送られ、そのデータはデータベース12に格納される。

【0019】次に、ウェハに対してフォトレジストを塗布して、PR寸法が得られるように、フォトリソグラフィが行われる(ST1)。そして、ウェハ上に形成されたレジストパターンの線幅X_pが測長SEMで測定され、ハンディターミナル14を介してもしくは直接、ホストコンピュータ11に入力される(ST2)。

【0020】ホストコンピュータ11は送られてきたレジストパターンの線幅X_pを以下の式を用いて標準レジストエッティング時間T_{p1}と算出レジストエッティング時間T_{p2}を算出する(ST3)。

(4)

特開平11-162820

5

【数1】

$$T_{pt} = 6.0 \times (0.39 - 0.34) / R_p \quad \dots (1)$$

【数2】

$$T_t = 6.0 \times (X_p - 0.34) / R_p \quad \dots (2)$$

【0021】式(1)は、エッチングを施した後の酸化膜のパターンの線幅(以下「ターゲット線幅」という)を0.34μmにする場合、レジストパターンの線幅X_pがPR寸法である0.39μmであったときのエッチング時間の理論値である標準エッチング時間T_{pt}を求めているものである。フォトリソグラフィ工程でレジストパターンの線幅X_pを直接ターゲット線幅である0.39μmに設定しないのは、以下の理由による。

【0022】本来、リソグラフィで形成されるレジストパターンの線幅は、ターゲット線幅と同一の線幅、例えば0.34μmであることが望ましい。しかし、i線(波長が365nmの露光光源)フォトリソグラフィにおいて0.34μmの線幅を形成することは極めて困難である。すなわち、i線リソグラフィ技術における解像限界は、他の光学リソグラフィ同様以下の式で表される。

$$R = k \cdot \lambda / NA \quad \dots (3)$$

ここで、Rは解像限界線幅、kはレジスト材料に関する係数、λは使用光源波長、NAは使用レンズ立体角である。

【0023】式(3)より、i線光源の場合k=3.65(mm)であり、高性能のレンズを用いればNA=0.63とすることことができ、一般的にレジスト材料や生産はりつき等を考慮するとk=0.6となる。このとき、線リソグラフィの解像限界線幅R=0.347(μm)となり、高性能のレンズを使ったとしても線幅を0.34μmとすることは難しい。このため、フォトリソグラフィ工程においてはレジストパターンの線幅をフォトリソグラフィ装置の限界値である0.39μmに形成し、次工程であるエッチング工程を行う際に、その線幅を調整するようしている。

【0024】式(2)は、ウェハ上に実際に形成されたレジストパターンの線幅X_pから、レジストパターンの線幅X_pが0.34μmにする際、エッチングを施すときに必要なエッチング時間である算出エッチング時間T_pを求めるものである。

【0025】ホストコンピュータ11は、標準エッチング時間T_{pt}と算出レジストエッチング時間T_pを比較する。これにより、PR寸法とレジストパターンの線幅X_pを比較することができる。そして、この比較した結果に基づいて、次工程のエッチングの条件が決定される(ST4)。

【0026】図4には算出レジストエッチング時間T_pとエッチング条件との対応表を示しており、図4を参照しながらPR寸法とレジストパターンの線幅X_pの比較方法について詳しく説明する。図4において、標準レジ

ストエッティング時間T_{pt}に基づいて、算出レジストエッティング時間T_pが複数の領域、例えば8つの範囲に区分されている。それぞれの領域に対応したレジストエッチャーレシピが用意されている。レジストエッチャーレシピはレジストパターンの線幅X_pが大きくなるにつれて、レジストパターンの線幅を広げができるように設定されている。

【0027】レジストエッチャーレシピには、図5に示すような、例えばガス流量、ガス圧力、マイクロ波パワー等のエッティングの条件が、レジストパターンの線幅X_pのばらつきを最小限になるように設定されている。これにより、フォトリソグラフィで得られるレジストパターンの線幅X_pからPR寸法に近づけるため、エッティングの条件がレジストパターンの線幅X_pに対応して設定されることになる。

【0028】例えば、レジストパターンの線幅X_pが0.39μmであるとき、式(1)と式(2)により、算出レジストエッティング時間T_pは標準レジストエッティング時間T_{pt}の±5(sec)の範囲に該当している。よって、図4のレジストエッチャーレシピの「D」が選択され、ホストコンピュータ11からレジストエッティング装置へと図5のような条件が送られる。その後、その条件に基づいてエッティング処理がなされる。

【0029】そして、ウェハが図1の製造ライン12のエッティング装置に流れ、レジストエッチャーレシピの中から選択されたエッティングの条件でエッティングがなされる(ST5)。これにより、レジストパターンの線幅X_pがターゲット線幅になるようなエッティングが施される。エッティング処理が終了した後、レジスト線幅X_pが測定S EMで測定され(ST6)、ハンディターミナル14を介してもしくは直接ホストコンピュータ11に数値が入力される。その後、有効場マイクロ波プラズマエッティング装置により、図6の条件の下にWPolycideゲートが加工され、レジストパターンの線幅を測定SEMで測定した後、半導体デバイスが次工程に送り出される(ST7)。

【0030】レジストエッチャーレシピを選択するだけで各ウェハに形成されたレジストパターンの線幅X_pのばらつきを補正することができるため、ウェハを処理する毎にフォトリソグラフィ等の条件を逐次調整する必要がなく、効率的に半導体デバイスの製造を行うことができる。また、レジストパターンの線幅X_pをフィードバックしてドライエッティングによりレジストマスクの線幅を修正するため、制御性が向上し、PR寸法からのずれを最小に押さえることができる。例えば、リソグラフィ工程においてレジストパターンの線幅のばらつきをPR

(5)

特開平11-162820

8

寸法と比較して $0.39 \pm 0.025 \mu\text{m}$ 、レジストエッティング工程後でターゲット線幅と比較して、 $0.34 \mu\text{m} \pm 0.010 \mu\text{m}$ と最小限に押さえることができる。さらに、i露りソグラフィで制御して形成される線幅の限界は例えば $0.39 \mu\text{m}$ であったが、線幅限界を超えて $0.34 \mu\text{m}$ の線幅パターンの形成が精度よく実現することができる。

【0031】別の実施の形態

図7乃至図12には、本発明の別の実施の形態を示している。以下の各実施の形態の半導体製造方法及び製造装置は、図1の実施の形態の半導体製造方法及び製造装置とはほぼ同様の構造である。従って、以下の実施の形態の半導体製造方法及び製造装置における構成要素について、図1の実施の形態の半導体製造方法及び製造装置における構成要素と同じ場合には、同じ符号を記してその説明を省略する。

【0032】第2の実施の形態

図7には、本発明の別の実施の形態を示している。第2の実施の形態において、第1の実施の形態と異なる点は、レジストエッティングを行う際に、フッ素系ラジカル(遊離基)を用いることである。図7を参照して半導体製造方法について詳しく説明する。

* 【0033】まず、ウェハ上に素子分離酸化膜、we1！接合リーク防止のためのイオン注入、ゲート酸化膜が形成される。そして、この上に被加工膜であるWPo！ycle膜が熱CVD法により形成され、この上に常圧CVD法により酸化膜が例えば $7.0 \mu\text{m}$ 増積する。そして、フォトリソグラフィ工程でレジストパターンを形成する。

【0034】このとき、半導体デバイスに形成されるレジストパターンの線幅は、例えば $0.40 \mu\text{m}$ になるようフォトリソグラフィを行う。 $0.40 \mu\text{m}$ としたのは、後述するエッティングを行う際に、フッ素系ガスを用いてレジストドライエッティングを行うため、第1の実施の形態よりも太くする必要があるからである。

【0035】次に、フォトリソグラフィで形成されたパターンの線幅を測定SEMで測定し、その線幅データXpはホストコンピュータ11に送られる。ホストコンピュータ11は、以下の式に基づいて標準レジストエッティング時間Tpと算出レジストエッティング時間Tpを算出する。ここで、エッティングレートRpは例えば $6.0 \mu\text{m}/\text{min} \sim 7.0 \mu\text{m}/\text{min}$ になっている。

【数4】

$$Tp = 6.0 \times (0.40 - 0.34) / Rp \quad \dots (4)$$

【数5】

$$Tt = 6.0 \times (Xp - 0.34) / Rp \quad \dots (5)$$

【0036】ここで式(4)は、レジストパターンの線幅Xpが $0.40 \mu\text{m}$ になるようにフォトリソグラフィを行ったときに、ターゲット線幅が $0.34 \mu\text{m}$ になるのに必要なレジストエッティング時間の理論値を求める式である。一方、式(5)は、実際のレジストパターンの線幅Xpが、ターゲット線幅になるために必要なレジストエッティング時間を算出している。

【0037】ホストコンピュータ11は、式(4)と式(5)でそれぞれ算出された標準レジストエッティング時間Tpと算出レジストエッティング時間Tpを比較する。両者のレジストエッティング時間を比較することにより、レジストパターンの線幅Xpのばらつきを算出する。ホストコンピュータ11は図4の比較表に基づいて、算出レジストエッティング時間Tpがどの範囲にあるかを判断し、区分された領域に応応するレジストエッチャーレシビをエッティング装置に送る。

【0038】ここで、例えばレジストパターンの線幅Xpが $0.40 \mu\text{m}$ であった場合、ホストコンピュータ11は、標準レジストエッティング時間Tpと算出レジストエッティング時間Tpを算出する。そして、図5に基づいてこれを比較して、標準レジストエッティング時間Tpと算出レジストエッティング時間Tpを比較する。その結果、レジストエッチャーレシビの中から「D」を選択し、レジストエッティング装置にエッティング情報を送る。

【0039】選択されたレジストエッチャーレシビのエ

ッティング条件に基づいて、レジストエッティング装置によりエッティングが行われる。ここで、レジストエッティング装置としてラジカル(遊離基)輸送型エッティング装置を用いる。これはフッ素系のラジカルを用いることで、リソグラフィで発生するパターン依存の補正を行うことができるためである。ここでパターン依存とは以下の現象をいう。

【0040】例えばポジ型のレジストを用いたリソグラフィによりパターン描画が行われる場合、一般的に孤立したパターンの線幅は密パターンの線幅より太くなってしまう。これは、密パターンでは回折光が隣接するパターンのレチカル開口部から得られ、干渉によりコントラストが大きくなるが、孤立パターンでは回折光干渉による光強度向上が起きないためである。よって密パターンの線幅を設定してリソグラフィを行うと、孤立パターンの光量が不足して線幅が太くなってしまう。逆に、例えばネガ型のレジストを用いた場合は孤立パターンの線幅が密パターンより細くなってしまう。

【0041】ここでリソグラフィで追続パターンと孤立パターンをPR寸法に基づいて形成したとき、追続パターンは $0.40 \mu\text{m}$ で形成され孤立ラインは $0.42 \mu\text{m}$ 程度に形成されたとする。その後エッティング工程において、フッ素系ラジカルはマイクロローディング効果により、孤立パターンのエッチャーレートが追続パターンのエッチャーレートより高くなる。よって、例えば、エッティング

(6)

特開平11-162820

9

終了後の孤立パターンの線幅は0.34μm、連続パターンの線幅は0.35μmに形成され、両者のパターンの線幅の差を補正することができる。

【0042】そして、形成されたレジストパターンをマスクとして、酸化膜層を例えれば平行平板ナローギャップ RIE (React:ive Ion Etching) 装置によりエッティングを行う。その後、レジストパターンの線幅X_pを側長SEMで測定し、ハンディターミル14に入力する。そして、有効場マイクロ波プラズマエッティング装置によりWPolyideゲートを加工する。この処理が終了すると、レジストパターンが側長SEMで測定され、ハンディターミル14に入力後、次工程へ送られる。

【0043】これにより、フォトリソグラフィでのレジストパターンの線幅X_pの値をフィードバックし、さらにレジストパターンの線幅X_pを補正するレジストマスクの加工が可能となり、より精度の高いGate加工を行ふことができる。

【0044】第3の実施の形態

図8には半導体製造のフローチャート図を示しており、*20

$$T_{p1} = 60 \times (0.40 - 0.34) / R_p \quad \dots \quad (6)$$

【数7】

$$T_1 = 60 \times (X_p - 0.34) / R_p \quad \dots \quad (7)$$

【0047】算出された標準レジストエッティング時間T_{p1}と算出レジストエッティング時間T_pを図9に基づいて比較し、T_pが図9の標準レジストエッティング時間T_{p1}のどの範囲内にあるかをホストコンピュータ11が検索する。そして、該当するT_pレンジのレジストエッチャーレシビに基づいて次の工程であるエッティングが行われる(ST15)。

【0048】レジストエッチャーレシビには、図10に示すようなガス流速、ガス圧力、マイクロ波パワー、サセプター温度、エッティング時間等が予め設定されており、※

$$T_{p1} = 60 \times (0.40 - 0.34) / R_p \quad \dots \quad (8)$$

【0050】算出レジストエッティング時間T_dが図11のどの範囲内にあるかをホストコンピュータ11が検索する(ST18)。そして、該当する算出レジストエッティング時間T_dレンジのレジストエッチャーレシビに基づいて次の工程であるエッティングが行われる。レジストエッチャーレシビには、図12に示すようなガス流速、ガス圧力RFパワー、エッティング時間等が予め設定されており、標準レジストエッティング時間T_dに基づいて、複数のレジストエッチャーレシビから選択される。例えば、X_pの値が0.31μmの場合、式(8)により、レジストエッチャーレシビの「e」が選択され、のような条件でエッティングが行われる(ST19)。

【0051】その後、デポジション性の高いCH_F、CH₂F₂等の気体を分解することでポリマーを堆積し、リソグラフィで形成されるレジストパターンのコーティングを行う。これにより、分解されてはいない

*図8を参照して第3の実施の形態について詳しく説明する。まず、ウェハ上に素子分離用アイランド酸化膜及びWell／接合リーク防止のイオン注入工程、Gate酸化工程を経た対象物に被加工膜であるWPolyide膜を熱CVD法で形成する。この上に常圧CVD法により酸化膜を70nm堆積させ、図9の条件の下にフォトリソグラフィが行われ、レジストパターンが形成される(ST11)。

【0045】フォトリソグラフィ工程で形成されたパターンの線幅を側長SEMで測定し(ST12)、ホストコンピュータ11及びハンディターミル14にその線幅を入力する。ホストコンピュータ11及びハンディターミル14は、その線幅の平均値X_pを算出し、X_pが0.34以上であるかを判断する(ST13)。

【0046】レジストパターンの線幅X_pが0.34以上である場合、ホストコンピュータ11及びハンディターミル14ではこのデータから以下の式に基づいて、標準レジストエッティング時間T_{p1}と算出レジストエッティング時間T_pを算出する(ST14)。

【数6】

$$T_{p1} = 60 \times (0.40 - 0.34) / R_p \quad \dots \quad (6)$$

【数7】

$T_1 = 60 \times (X_p - 0.34) / R_p \quad \dots \quad (7)$
※

この複数のレジストエッチャーレシビの中から標準レジストエッティング時間T_pの値に応じてある1つのレジストエッチャーレシビを選択する。

【0049】次に、レジストパターンの線幅X_pが0.34未満である場合、リソグラフィで形成されたレジストパターンの線幅X_pを大きくする必要がある。このとき、ホストコンピュータ11及びハンディターミル14ではこのデータから以下の式に基づいて、算出レジストエッティング時間T_dを算出する(ST17)。

【数8】

$$T_{d1} = 60 \times (0.40 - 0.34) / R_p \quad \dots \quad (8)$$

レジストパターンの凸部の幅が小さくなり、所定のレジストパターンの線幅になるように修正される。そして、平行平板エッティング装置でエッティングを行い、分離された所定の線幅のレジストパターンを得ることができる。これにより、リソグラフィ工程において、レジストパターンの線幅を細める線幅修正ができるとともに、レジストパターンの線幅を広げる修正ができる。

【0052】上記各実施の形態によると、フォトリソグラフィ工程のみで形成されるレジストマスクに比べ、線幅ばらつき、ターゲット線幅からずれが少なく、線幅制御性の高い加工が実現できる。また、ドライエッティング装置等のパターン加工装置の加工変換差データを読み込み、変換差分をマスク幅に加減算することにより加工でき上がり寸法の精度が向上する。そして、ドライエッティングにフッ素系・ハロゲン等のラジカルを利用すること

(7)

特開平11-162820

11

により、フォトリングラブィのパターン依存を補正することができる。更に、リソグラフィ装置の解像限界よりも狭い幅の下限が制御可能となる。

【0053】

【発明の効果】以上説明したように、本発明によれば、半導体の加工精度が向上する半導体製造方法及び製造装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体製造装置の好ましい実施の形態を示すシステム図。

【図2】本発明の半導体製造方法の好ましい実施の形態を示す概念図。

【図3】本発明の半導体製造方法の好ましい実施の形態を示すフローチャート図。

【図4】レジストパターンの幅とレジストエッチャーレシビの対応を示す表。

【図5】レジストエッチャーレシビのエッチング条件の一例を示す表。

【図6】レジストエッチャーレシビのエッチング条件の*

12

*一例を示す表。

【図7】本発明の半導体製造装置の好ましい第2の実施の形態を示すシステム図。

【図8】本発明の半導体製造方法の好ましい第3の実施の形態を示すフローチャート図。

【図9】レジストパターンの幅とレジストエッチャーレシビの対応を示す表。

【図10】レジストエッチャーレシビのエッチング条件の一例を示す表。

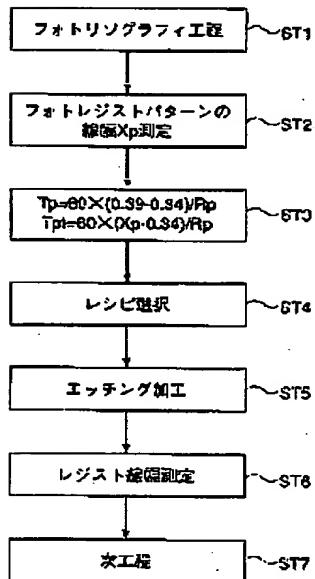
10 【図11】レジストパターンの幅とレジストエッチャーレシビの対応を示す表。

【図12】レジストエッチャーレシビのエッチング条件の一例を示す表。

【符号の説明】

10 ··· 半導体製造装置、11 ··· ホストコンピュータ(制御装置)、12 ··· 製造ライン、13 ··· データベース、14 ··· ハンディターミナル、X p ··· レジストパターンの幅。

【図3】



【図4】

Tpレンジ	レジストエッチャーレシビ
(Tp>30sec)±5sec	A
(Tp>20sec)±5sec	B
(Tp>10sec)±5sec	C
Tp±5sec	D
(Tp+10sec)±5sec	E
(Tp+20sec)±5sec	F
(Tp+30sec)±5sec	G
(Tp+40sec)±5sec	H

【図6】

ガス流量 : CH₄ / CO₂ 5 / 5 mlcc
ガス圧力 : 33.3 Pa
マイクロ波パワー : 700W
RF Power : 70W (Wet Etch) , 80W (Dried Poly Etch/Over Etch)
環境フィルタ位置 : AF/4A
セセプター温度 : 35°C
Sputter Time : WET 時から RF Power 切り換える、オーバーエッチング

【図5】

ガス流量 : CH₄ 30mlcc
ガス圧力 : 30 Pa
マイクロ波パワー : 600W
セセプター温度 : 30°C
Etching Time : 40sec

【図12】

Tpレンジ	レジストエッチャーレシビ
0~5	a
5~10	b
10~15	c
15~20	d
20~25	e
25~30	f
30~35	g
35~40	h

【図10】

ガス流量 : CF₄ / O₂ 400 / 270 / 60 mlcc
ガス圧力 : 10 Pa
マイクロ波パワー : 700W
セセプター温度 : 35°C
Etching Time : 40sec

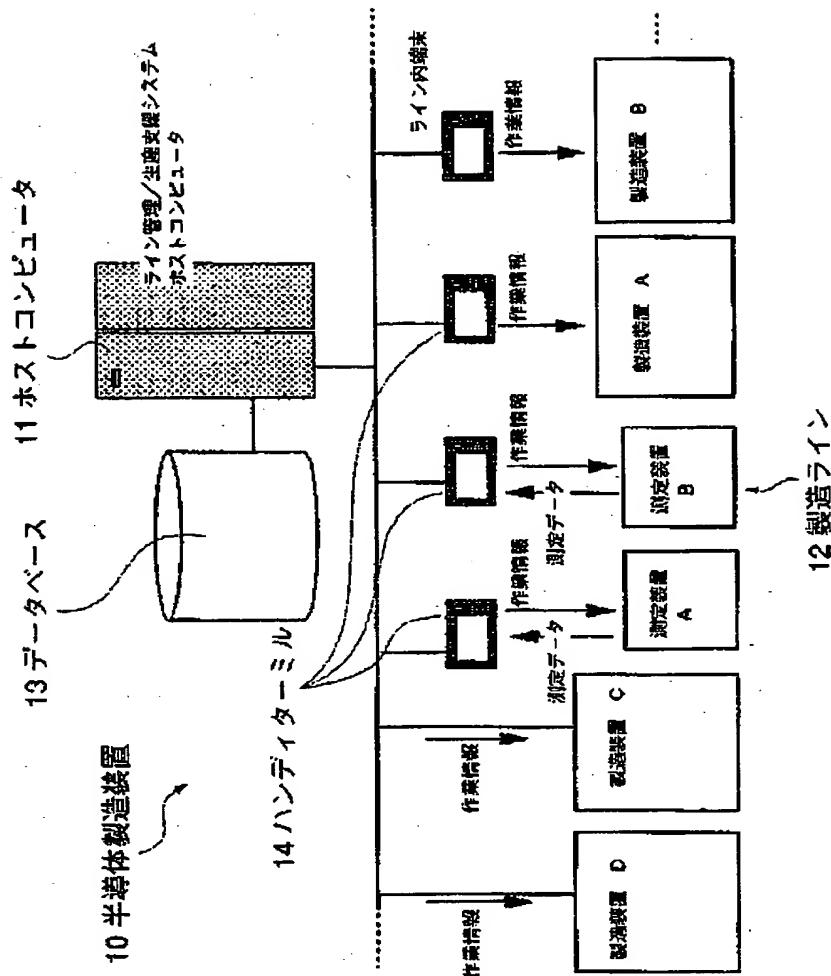
【図11】

ガス流量 : CH₄ 2 / NH₃ 200 / 300 mlcc
ガス圧力 : 10 Pa
マイクロ波パワー : 700W
セセプター温度 : 35°C
Etching Time : 40sec

(B)

特開平11-162820

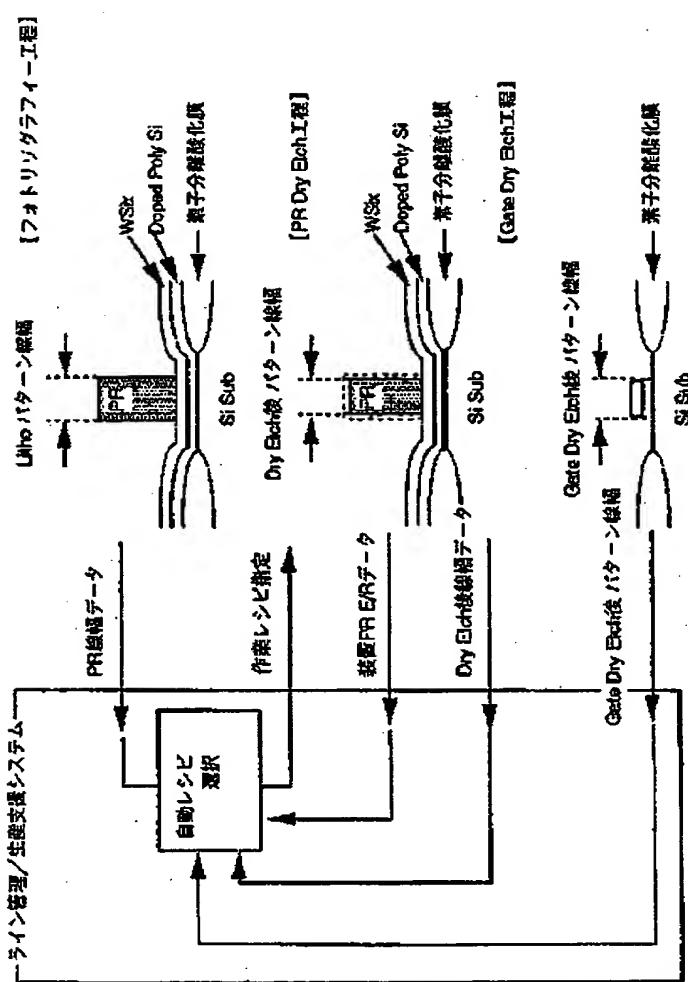
[图 1]



特開平11-162820

(9)

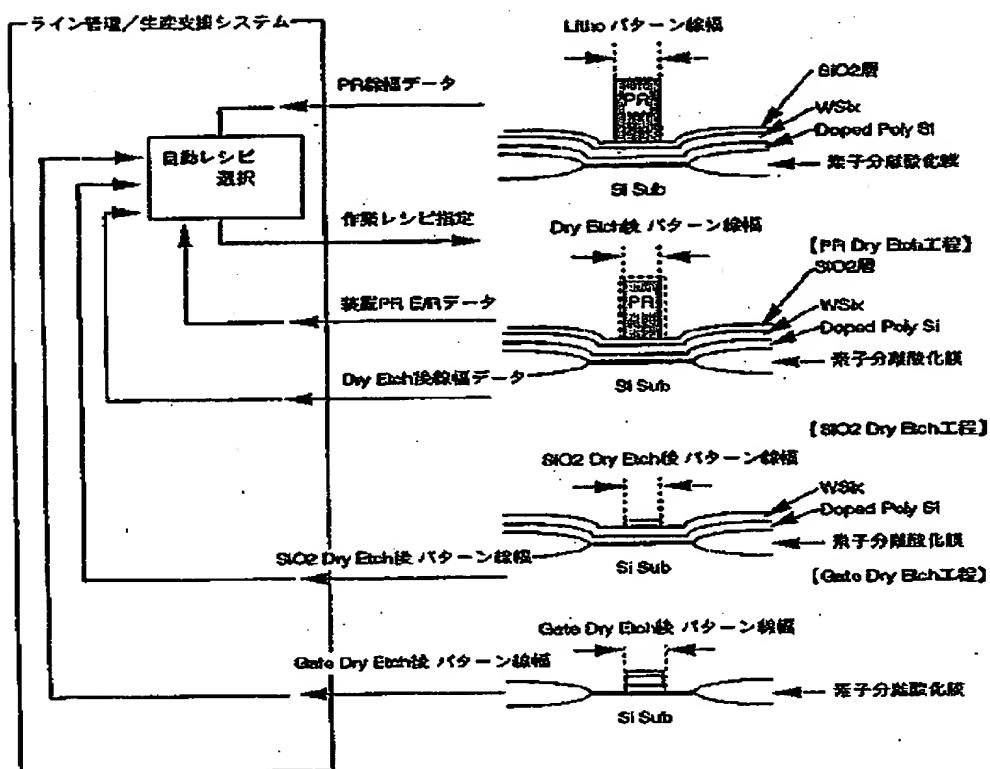
【図2】



(10)

特開平11-162820

【図7】



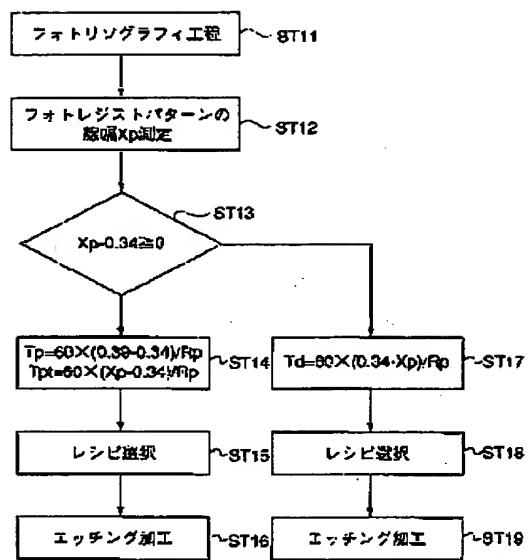
【図9】

T _p レンジ	レジストエッチャーレシピ
(T _{p1} -30sec)±5sec	A
(T _{p1} -20sec)±5sec	B
(T _{p1} -10sec)±5sec	C
T _{p1} ±5sec	D
(T _{p1} +10sec)±5sec	E
(T _{p1} +20sec)±5sec	F
(T _{p1} +30sec)±5sec	G
(T _{p1} +40sec)±5sec	H

(11)

特開平11-162820

【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.